

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 10 月 27 日 (27.10.2005)

PCT

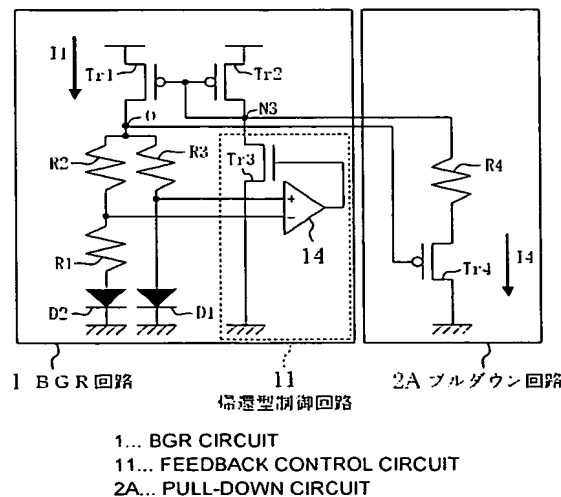
(10) 国際公開番号
WO 2005/101156 A1

- (51) 国際特許分類⁷: G05F 3/28 (72) 発明者; および
(21) 国際出願番号: PCT/JP2005/002159 (75) 発明者/出願人 (米国についてのみ): 木下 雅善 (KINOSHITA, Masayoshi). 崎山 史朗 (SAKIYAMA, Shiro).
(22) 国際出願日: 2005 年 2 月 14 日 (14.02.2005)
(25) 国際出願の言語: 日本語 (74) 代理人: 前田 弘, 外 (MAEDA, Hiroshi et al.); 〒5410053 大阪府大阪市中央区本町 2 丁目 5 番 7 号 大阪丸紅ビル Osaka (JP).
(26) 国際公開の言語: 日本語
(30) 優先権データ: 特願2004-122075 2004 年 4 月 16 日 (16.04.2004) JP (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,
(71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真 1 0 0 6 番地 Osaka (JP).

[続葉有]

(54) Title: REFERENCE VOLTAGE GENERATING CIRCUIT

(54) 発明の名称: 基準電圧発生回路



(57) Abstract: A reference voltage generating circuit in which a band gap reference circuit (BGR circuit) (1) comprises diode elements (D1, D2) having different current densities, three resistor elements (R1, R2, R3) a first P type transistor (Tr1) for supplying a current to a reference voltage output terminal (O), a second P-type transistor (Tr2) for determining a drain current flowing through the first transistor (Tr1) by a current mirror arrangement, and a feedback control circuit (11). The BGR circuit (1) is connected with a pull-down circuit (2) consisting of a resistor element (R4) and a P-type transistor (Tr4) connected in series. The resistor element (R4) is connected with the drain terminal of the second P-type transistor (Tr2), while the P-type transistor (Tr4) has a gate terminal connected with the reference voltage output terminal (O) and an earthed drain terminal. Consequently, current consumption and the number of elements are reduced in a start-up circuit for causing a transition from an abnormal settling point to a normal settling point.

(57) 要約: 基準電圧発生回路において、バンドギャップリファレンス回路 (BGR回路) 1 は、電流密度の異なるダイオード素子 D1、D2 と、3 個の抵抗素子 R1、R2、R3 と、基準電圧出力端子 O に電流を供給する P 型の第 1 のトランジスタ Tr1 と、前記第 1 トランジスタ Tr1 に流れるドレイン電流をカレン

[続葉有]



SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, YU, ZA, ZM, ZW.

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護
が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA,
SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,
BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU,
IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),

添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

トミラー構成によって決定するP型の第2のトランジスタTr2と、帰還型制御回路11とにより構成される。
前記BGR回路1にはプルダウン回路2が接続される。このプルダウン回路2は、直列接続された抵抗素子R4及
びP型トランジスタTr4を備える。前記抵抗素子R4は第2のP型トランジスタTr2のドレイン端子に接続さ
れ、P型トランジスタTr4は、ゲート端子が基準電圧出力端子Oに接続され、ドレイン端子が接地される。従っ
て、異常安定点から正常安定点へ移行させるスタートアップ回路での消費電流及び素子数が削減される。